

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-169287

(43)Date of publication of application : 04.07.1995

(51)Int.Cl.

G11C 16/06
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 05-313341

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.12.1993

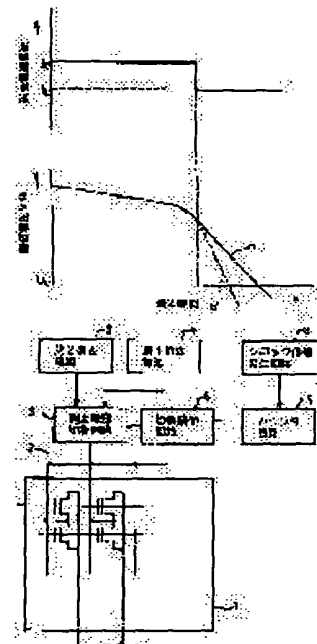
(72)Inventor : KITAZAKI KAZUHIRO

(54) NON-VOLTAGE SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To make occurrence of over erasing hard by controlling an erasing power source thereby controlling an erasing current as prescribed in an electrically rewritable non-voltage semiconductor memory such as a flash memory and the like.

CONSTITUTION: A erasing current of high level current I_a from a first erasing power source 4 is supplied to a source of a memory cell of a memory cell array 1, and erasing of a memory cell is performed. And the power source 4 is switched to an erasing power source 5 through a counter circuit 7, a switching control circuit 6 and an erasing power source switching circuit 3 in an erasing time zone near the end of erasing, the erasing current is switched to a low level current I_b . Thereby, tilt of the curve (a) of threshold value voltage V_{th} becomes gentle, quantity of variation of the voltage V_{th} is small and accurate measuring control can be performed. Consequently, over erasing is made hard to occur, electrons and positive holes are made hard to trap by a gate oxidized film, and the number of rewriting can be increased.



LEGAL STATUS

[Date of request for examination] 18.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-169287

(43) 公開日 平成7年(1995)7月4日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 16/06

H 0 1 L 21/8247

29/788

G 1 1 C 17/00

5 3 0 B

H 0 1 L 29/78

3 7 1

審査請求 未請求 請求項の数5 O L (全8頁) 最終頁に続く

(21) 出願番号

特願平5-313341

(22) 出願日

平成5年(1993)12月14日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 北崎 和宏

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 宇井 正一 (外4名)

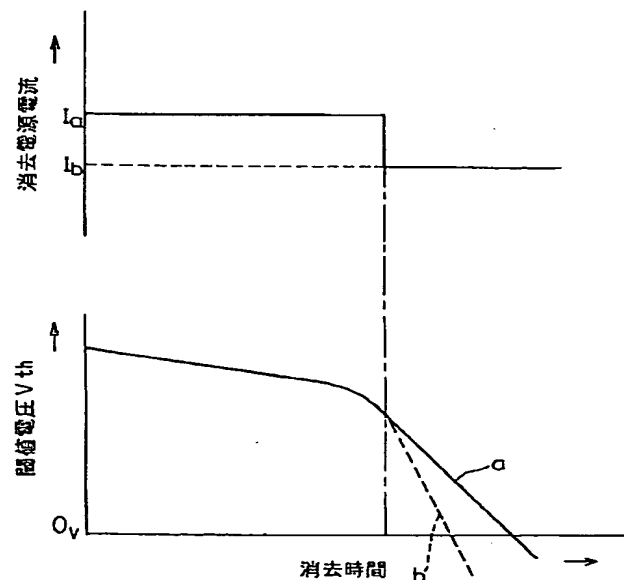
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【目的】 フラッシュメモリ等の電氣的に書換え可能な不揮発性半導体記憶装置に関し、消去後のメモリセルの閾値電圧をより正確に制御可能にして過剰消去を起きにくくすると共に、ゲート酸化膜へトラップされる電子又は正孔の個数を減少させて書換え可能回数を増加させることを目的とする。

【構成】 電氣的に消去可能な複数の不揮発性半導体メモリセルをマトリクス状に配列した不揮発性半導体記憶装置において、供給する消去電流を段階的に変化可能にした消去時にメモリセルのソースに印加する電圧を供給する消去電源と、消去が進むに従って消去電流が低減されるように消去電源を制御する消去電源制御手段とを備える。

本発明の原理を説明する図



(2)

特開平 7-169287

1

2

【特許請求の範囲】

【請求項1】 電氣的に消去可能な複数の不揮発性半導体メモリセルをマトリクス状に配列した不揮発性半導体記憶装置において、

消去時に前記メモリセルのソースに印加する電圧を供給し、供給する消去電流を段階的に変化可能な消去電源と、

消去が進むに従って、前記消去電流が低減されるように前記消去電源を制御する消去電源制御手段とを備えることを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記消去電源は、電流供給能力の異なる複数の電源を備え、各電流源を動作させるかさせないかにより全体の電流を変化させることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 前記複数の電源は、消去が進んだ段階で使用される電源程メモリセルのソースに印加する電圧が低くなるように、出力電圧が低下することを特徴とする請求項2に記載の不揮発性半導体記憶装置。

【請求項4】 前記消去電源制御手段は、消去開始後の経過時間に従って前記消去電流を低減するように制御することを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項5】 前記消去電源制御手段は、通常のメモリセルと同様のレファレンスセルと、該レファレンスセルのフローティングゲートをゲートとし、ソースとドレインに所定の条件が印加される検出用トランジスタと、該トランジスタの導通状態を判定する読み出し回路とを備え、

消去時に前記レファレンスセルにも前記通常のメモリセルと同様の消去条件が与えられ、前記検出用トランジスタの導通状態が変化したことを前記読み出し回路が検出した時に、前記消去電流を低減するように制御することを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、フラッシュメモリのような電氣的に消去可能な不揮発性半導体記憶装置に関し、特に過剰消去が起きにくく、ゲート酸化膜での電子及び正孔のトラップが発生しにくくした不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】近年、データの書換えが電氣的に行える不揮発性メモリのなかで、フラッシュメモリが注目されている。図7はフラッシュメモリの一般的なセル構造の例を示す図である。なお、図においては、同一の機能部分には同一の参照番号を付して表すこととする。

【0003】図7において、参照番号201は制御電極（コントロールゲートCG）、202はフローティング

ゲート（FG）、203はソース（S）、204はドレイン（D）、205は基板（ベース）であり、酸化皮膜212で覆われている。213はソース203に接続される共通ソース線、214はドレイン204に接続されるビット線である。フローティングゲート202とベース205の間がゲート酸化膜206である。

【0004】図8はフラッシュメモリの読出、書き込み及び消去の方法を説明する図であり、（1）は読出時を、

（2）は書き込み時を、（3）は消去時を示す。図8の

（1）に示すように、読出時には、EPROMと同様にソースに0V、ドレイン（ビット線）に約1V、コントロールゲート（ワード線）に約5Vの電圧を印加し、ビット線に電流が流れるかどうかをセンスアンプで検出することによって行っている。書き込みは、図8の（2）に示すように、ソースSに0V、ドレインDに約6V、コントロールゲートCGに約12Vの電圧を印加することにより、ドレイン近傍のアバランシェブレイクダウンにより発生する熱電子をフローティングゲートFGに注入することによって行われる。消去は、図8の（3）に示すように、ソースSに約10V、ドレインDを開放、コントロールゲートCGに0Vの電圧を印加することにより、フローティングゲートFGとソースSの間に高電界を印加し、ファウラーノルドハイム（Fowler-Nordheim）トンネル現象により、フローティングゲートFGからソースSへ電子を引き抜くことによって行われる。ソースは共通の線に接続されており、消去は共通ソース線に接続されるすべてのセルに対して行われることになる。

【0005】通常フローティングゲートFGに電子を注入した状態、すなわち書き込みを行った状態にデータの「0」を対応させ、フローティングゲートFGに電子が注入されない状態にデータの「1」を対応させている。従って、読出時にメモリセルがオン状態になる閾値電圧 V_{th} は、「0」のメモリセルの方が「1」のメモリセルよりも高く、図8の（1）の電圧を印加して読出を行った時に、「1」のメモリセルならばオン状態になってビット線に電流が流れるが、「0」のメモリセルはオフ状態になってビット線に電流が流れない。消去とはすべてのメモリセルの閾値電圧 V_{th} をデータの「1」に対応するレベルまで低下させこと、すなわち「0」のメモリセルの閾値電圧 V_{th} をデータの「1」に対応するレベルまで低下させことである。

【0006】図9は従来のフラッシュメモリの全体構成を示すブロック図である。図9において、参照番号1は上記の不揮発性メモリセルをマトリクス状に配列したメモリセルアレイである。メモリセルアレイ1には、ワード線WL1、WL2…と、ビット線BL1、BL2…と、共通ソース線2が配列されており、各メモリセルのコントロールゲートは対応するワード線に、ドレインは対応するビット線に、ソースは共通ソース線2に接続されて

(3)

特開平 7-169287

3

4

いる。11はロウアドレス信号をデコードしてワード線に選択的に電圧を印加するロウデコーダである。12はコラムアドレス信号をデコードして、列選択信号を出力するコラムデコーダであり、13は列選択信号に応じて選択的に導通し、各ビット線BL1、BL2…を共通ビット線BLに接続するコラムゲートトランジスタCG1、CG2…で構成されるコラムゲートである。14はセンスアンプであり、15はライトアンプである。16は共通ソース線2を制御するソース線制御回路である。17は、センスアンプ14、ライトアンプ15、ソース線制御回路16の制御を行う制御回路である。実際には、ロウデコーダ11やコラムデコーダ12の制御を行う回路も必要であるがここでは省略してある。

【0007】読み出し時には、ライトアンプ15が非動作状態になり、ソース線制御回路16が共通ソース線2を接地し、センスアンプ14が動作状態になり、共通ビット線BLに約1Vを印加する。そして、ロウデコーダ11が選択したワード線に5Vを、それ以外のワード線に0Vを印加し、コラムデコーダ12の列選択信号に従ってコラムゲートの1個が導通して、選択されたビット線がセンスアンプ14に接続された状態になる。このようにして選択されたメモリセルに図8の(1)の読み出し条件が与えられる。

【0008】書き込み時には、ロウデコーダ11が選択したワード線に約1.2Vを印加し、センスアンプ14が非動作状態になり、ライトアンプ15が動作状態になる以外は読み出し時とほぼ同様であり、ライトアンプ15はデータ「0」を書き込む時には共通ビット線に約6Vを、データ「1」を書き込む時には共通ビット線を接地する。これにより、選択されたメモリセルに電子を注入した状態に対応したデータを書き込む時に、図8の(2)の条件が与えられ、フローティングゲートに電子が注入される。

【0009】消去時には、センスアンプ14とライトアンプ15は共に非動作状態になり、コラムゲートトランジスタはすべて非導通状態になる。そして、ロウデコーダ11はすべてのワード線に0Vを印加し、ソース線制御回路16は共通ソース線2に約1.2Vを印加する。これにより、すべてのメモリセルに図8の(3)の消去条件が与えられる。

【0010】

【発明が解決しようとする課題】フローティングゲートFGから注入された電子をすべて引き抜いた時に消去が完了する。しかし、それ以上に消去を行い、フローティングゲートFGから電子を引き抜き過ぎた状態になると、フローティングゲートFGが正の状態になり、そのメモリセルが非選択であってもそのメモリセルが接続されるビット線にリーク電流が発生して正常な読出ができなくなる過剰消去という問題が発生する。過剰消去状態になったメモリセルでは、閾値電圧がコントロールゲートCGに読出用の電圧(5V)が印加されなくてもメモリセルがオン状態になる電圧レベルにまで低下するため、そのメモリセルが非選択であってもそのメモリセルが接続されるビット線にリーク電流が発生して正常な読出ができなくなる状態になる。実際には、大きなリーク電流が流れるような過剰消去状態にまで消去されることはほとんどないが、一本のビット線に多くのメモリセルが接続されている場合、それぞれのメモリセルのリーク電流は微小であっても合わせれば大きなリーク電流になり、正常な読出が行えなくなる。

【0011】消去は、上記の消去条件を所定時間続けることにより行われる。図10は消去時間に対するメモリセルの閾値電圧 V_{th} の変化を表す図である。図から明らかなように、閾値電圧は最初はゆっくり低下するが、ある程度低下した後急激に低下しだす。そのため、消去時間が変動すると、消去後のメモリセルの閾値電圧が大きく変動することになる。もし消去時間が長くなる方向に誤差を生じると、図示のように、過剰消去状態になることになる。そのため、消去時間の制御は十分な精度で行う必要があるが、フラッシュメモリ等の実際の記憶素子にあまり高精度のクロック発振器やカウンタを搭載するのは実際には難しく、コスト増の要因になるという問題がある。

【0012】また、電氣的に書換え可能な不揮発性メモリでは、消去時に、ソース電極の接合部でバンド間トンネル現象による電荷の注入を引き起こし、フローティングゲートとベースの間のゲート酸化膜に電子や正孔がトラップされることが起こる。ゲート酸化膜にトラップされた電子や正孔は、そのメモリセルの閾値電圧を変動させる。一旦トラップされた電子や正孔はほとんどがそのままトラップされるため、書換え動作を繰り返すとトラップされた電子や正孔の数が増加することになり、データの「0」と「1」に相当する閾値電圧 V_{th} が次第に近づき判別がつきにくくなるという問題を生じる。そのため、このゲート酸化膜にトラップされる電子や正孔がフラッシュメモリにおける書換え回数を規定する原因になっている。フラッシュメモリでは、用途の拡大に伴って書換え可能回数の増加が要求されており、そのためには消去動作においてゲート酸化膜にトラップされる電子や正孔の数を低減する必要がある。

【0013】本発明は上記問題点に鑑みてなされたものであり、電氣的に書換え可能な不揮発性半導体記憶装置において、過剰消去を生じにくくすると共に、ゲート酸化膜に電子や正孔がトラップされにくくすることで書換え回数を増加させることを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成するため、本発明の電氣的に書換え可能な不揮発性半導体記憶装置は、電氣的に消去可能な複数の不揮発性半導体メモリセルをマトリクス状に配列した不揮発性半導体記憶装

5

置において、消去時にメモリセルのソースに印加する電圧を供給し、供給する消去電流を段階的に変化させることが可能な消去電源と、消去が進むに従って消去電流が低減されるように消去電源を制御する消去電源制御手段とを備えることを特徴とする。

【0015】消去電源は、消去が進んだ段階では、メモリセルのソースに印加する電圧が低くなるように、出力電圧が低下するように設定する。また、消去電源制御手段は、消去開始後の経過時間に従って制御を行うか、別にレファレンスセルと、このレファレンスセルのフローティングゲートをゲートとする検出用トランジスタと、トランジスタの導通状態を判定する読み出し回路とを設けて消去電流を低減するように制御する。

【0016】

【作用】図1は本発明の電氣的に書換え可能な不揮発性半導体記憶装置の原理を説明するための図である。図1に示すように、本発明の半導体記憶装置においては、消去電源から供給される電流を消去の途中でIaからIbに減少させるようにする。そのため、それ以後の閾値電圧Vthの変化曲線は、aで示すようになり、従来の変化曲線bに比べてゆるやかな曲線になる。閾値電圧Vthの変化がゆるやかになれば、消去時間の変動に対する消去後の閾値電圧Vthの変動も小さくなり、閾値電圧Vthのより精密な制御が可能になる。

【0017】消去時間はできるだけ短いことが好ましく、そのため消去動作のすべての時間に渡って消去電源の供給電流を小さくすることはできないが、本発明のように、消去の最終段階のみ供給電流を小さくすることで、消去時間は多少長くなるが閾値電圧Vthのより精密な制御が可能になる。

【0018】

【実施例】本発明の第1実施例のフラッシュメモリは、共通ソース線の制御部分を除いて図9に示した構成に類似した全体構成を有する。そのため、ここでは第1実施例のフラッシュメモリの共通ソース線の制御に関連する部分のみを図2に示し、他の部分の説明は省略する。

【0019】図2において、参照番号1はメモリセルアレイ、2は共通ソース線、3は消去電源切り換え回路、4は第1消去電源、5は第2消去電源、6は切り換え制御回路、7はカウンタ回路、8はクロック発生回路である。消去電源は、第1消去電源4と第2消去電源5で構成され、それぞれの回路は図3に示すような回路構成を有する。図3の回路は端子EとFの両方に「高」の信号を信号を印加するとPチャンネルトランジスタ21がオン状態になり、Nチャンネルトランジスタ22がオフ状態になるので、端子Cには高電圧源（約12V）の端子VPPから電流が供給される。消去時以外は、端子EとFの両方に「低」の信号を信号を印加し、Pチャンネルトランジスタ21をオフ状態に、Nチャンネルトランジスタ22をオン状態にすることにより、端子Cを接地す

(4)

特開平 7-169287

6

る。

【0020】図4は消去電源切り換え回路を示す図である。端子Cは図3に示した第1消去電源4の端子Cに接続され、端子Dは第2消去電源5の端子Cに接続される。端子Aに入力される信号が「高」の時にはトランジスタ23が導通して第1消去電源4が共通ソース線2に接続され、端子Aに入力される信号が「低」の時にはトランジスタ23が非導通状態になり第1消去電源4が共通ソース線2から切り離される。端子Bに入力される信号が「高」の時にはトランジスタ24が導通して第2消去電源5が共通ソース線2に接続され、端子Bに入力される信号が「低」の時にはトランジスタ24が非導通状態になり第2消去電源5は共通ソース線2から切り離される。

【0021】図2に戻って、参照番号8はクロック発生回路であり、7はクロック発生回路8の出力するクロック信号をカウントするカウンタ回路であり、6はカウンタ回路7が所定のカウント数を計数した時に第1消去電源4を切り離す信号を消去電源切り換え回路に出力する切り換え制御回路である。次に、第1実施例における回路の動作について説明する。

【0022】消去時以外の読み出し時、書き込み時には、図3の第1及び第2消去電源回路4、5の端子E、Fには、制御回路から「低」の信号が供給され、両方の消去電源回路の出力は接地される。そして切り換え制御回路6からは図4の端子A、Bに「高」の信号が出力され、共通ソース線2は接地される。消去時には、端子E、Fに「高」の信号が供給され、両方の消去電源回路の出力は高電圧源の端子VPPに接続され、第1消去電源4と第2消去電源5は高電圧を出力する。それと同時に、切り換え制御回路6は端子A、Bに「高」の信号を出力し、共通ソース線2は第1消去電源4と第2消去電源5の両方に接続される。これにより、共通ソース線2には高電圧が印加され、消去が開始される。この消去では、第1消去電源4と第2消去電源5の電流供給能力を合わせた大きな電流が供給され、従来通りの消去が行われる。

【0023】そして、クロック発生回路8がクロック信号を発生し、カウンタ回路7がクロック信号を計数する。カウンタ回路7の計数値があらかじめ設定された第1の設定値になるとカウンタ回路7は信号を発生し、これに応じて切り換え制御回路6は端子Aに出力する信号を「低」に、端子Bにはそのまま「高」の信号を出力する。これにより、第1消去電源4は共通ソース線2から切り離され、第2消去電源5のみが共通ソース線2に接続された状態になる。従って、電流供給能力は減少し、共通ソース線の電位が低下するため消去はゆっくり行われることになる。

【0024】更に、所定時間が経過し、カウンタ回路7の計数値があらかじめ設定された第2の設定値になる

(5)

特開平 7-169287

7

8

と、切り換え制御回路6は端子Bに出力する信号も「低」にし、共通ソース線2から第1消去電源4と第2消去電源5の両方が切り離される。これにより消去が終了する。それに応じて、第1消去電源4と第2消去電源5の端子E、Fへの信号は「低」になり、第1消去電源4と第2消去電源5の出力は再び接地される。

【0025】このように、消去の終了間際には、消去電流が低減されて消去がゆっくり行われるため、消去時間の変動の消去状態に与える影響が小さくなる。次に、本発明の第2実施例について説明する。第2実施例は、図2に示した第1実施例と同様の構成を有し、第1消去電源4と第2消去電源5は共に図3に示した回路構成を有するが、第2消去電源5のPチャンネルトランジスタ21とNチャンネルトランジスタ22のチャンネル幅は第1消去電源4のものより小さく、電流供給能力が小さくなっている。また、供給する電圧も小さくなっている。

【0026】第2実施例には、消去時開始時には、切り換え制御回路6は端子Aに「高」の信号を、端子Bに「低」の信号を出力し、共通ソース線2は第1消去電源4にのみ接続され、消去が開始される。第1消去電源4は大きな電流供給能力を有し、ここでは従来通りの消去が行われる。そして、カウンタ回路7の計数値があらかじめ設定された第1の設定値になると、切り換え制御回路6は端子Aに出力する信号を「低」に、端子Bに出力する信号を「高」にする。これにより、第1消去電源4は共通ソース線2から切り離され、第2消去電源5が共通ソース線2に接続された状態になる。前述のように、第2消去電源5の電流供給能力は小さいので消去電流は減少し、消去はゆっくり行われることになる。

【0027】また、第2消去電源5のみで駆動される共通ソース線2の電圧は、第1消去電源4を使用した時と比較して低くなる。バンド間トンネルによる電荷のトラップはソース電圧の低い方が起こりにくくなるので、書換え可能な回数の減少を抑制できる。第1及び第2実施例では、消去電源の制御を消去開始時からの時間で行っているが、各種の要因により消去時間がばらつくことがある。そこで、実際のメモリセルに類似したレファレンスセルを用意して、その消去状況を検出して消去電源の制御を行うようにしたのが第3実施例である。

【0028】図5は第3実施例の構成を示す図である。図示のように、第1実施例と異なるのは、クロック信号のカウンタ回路がなく、レファレンスセル部10とレファレンスセル部読み出し回路9を備え、その検出結果に従って切り換え制御回路6が制御を行う点である。レファレンスセル部10は、通常のメモリセルと同様の構造を有するレファレンスセルRTrと、通常のトランジスタTrを有している。このトランジスタTrのゲートは、レファレンスセルRTrのフローティングゲートに電気的に接続されている。消去時には、レファレンスセルRTrも同様に消去される。また、消去前にはすべて

のメモリセルに対して一旦書き込みを行うのが普通であるが、この書き込みはレファレンスセルRTrに対しても行われる。

【0029】トランジスタTrのゲートはレファレンスセルRTrのフローティングゲートに接続されているため、レファレンスセルRTrのフローティングゲートの電位によって、オン状態になるかオフ状態になるかが決定される。消去開始時にはレファレンスセルRTrのフローティングゲートに電子が注入されているからトランジスタTrはオフ状態であるが、消去されるに従ってフローティングゲートの電子が徐々に引き抜かれトランジスタTrはオン状態になる。この時が図1の切り換え点に相当するようにトランジスタTrの特性を定める。このトランジスタTrの導通状態の変化をレファレンスセル部9で検出し、その検出結果に従って切り換え回路6が消去電源を切り換える。

【0030】図6は、レファレンスセル部9の平面図である。参照番号51で示した部分がレファレンスセルRTrであり、52の部分がトランジスタTrの部分である。53はレファレンスセルRTrのフローティングゲートとトランジスタTrのゲート、54はレファレンスセルRTrのコントロールゲート、55はビット線に相当するアルミ配線、56はこのアルミ配線とドレインとのコンタクト部、57はN型ドレイン拡散層、58はN型ソース拡散層である。N型ソース拡散層58は、コンタクト部を介して共通ソース線であるアルミ配線に接続される。また、65はアルミ配線、66はこのアルミ配線とドレインとのコンタクト部、67はN型ドレイン拡散層、68はN型ソース拡散層である。N型ソース拡散層68は、コンタクト部とアルミ配線を介してレファレンス部読み出し回路9に接続される。

【0031】メモリセルの特性は製造工程によりある程度のばらつきを有するが、レファレンスセルRTrも同様の製造工程で作られるため、同様の特性を有する。第3実施例では、このようなレファレンスセルRTrに対して消去を行い、その消去状態を検出した上で制御するため、実際のメモリセルの特性に合わせたより正確な制御が可能になる。

【0032】

【発明の効果】以上説明したように、本発明によれば、消去後のメモリセルの閾値電圧がより正確に制御可能になるため過剰消去が起きにくくなり、アバランシェブレークダウン現象が生じやすい状態ではソース電圧が低減されるためゲート酸化膜へトラップされる電子又は正孔の個数が減少し、書換え可能回数が増加する。

【図面の簡単な説明】

【図1】本発明の電気的に書換え可能な不揮発性半導体記憶装置の原理を説明する図である。

【図2】本発明の第1実施例の構成を示す図である。

【図3】消去電源回路の回路図である。

50

(6)

特開平 7-169287

9

10

【図4】消去電源切り換え回路の回路図である。

【図5】本発明の第3実施例の構成を示す図である。

【図6】第3実施例におけるレファレンスセル部の平面図である。

【図7】フラッシュメモリのトランジスタセルの構造を示す図である。

【図8】フラッシュメモリの読み出し、書き込み及び消去の方法を説明する図である。

【図9】従来のフラッシュメモリの全体構成を示すブロック図である。

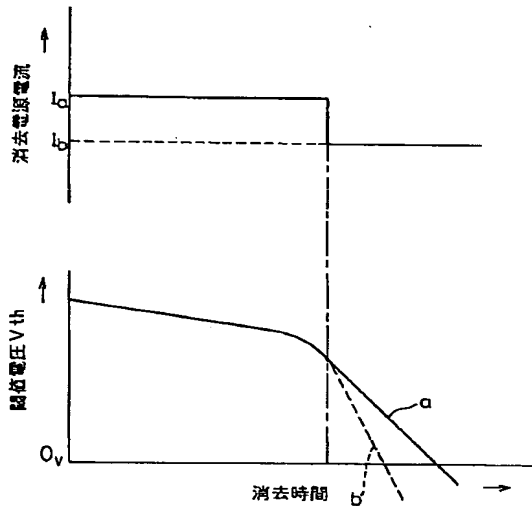
【図10】従来のフラッシュメモリにおける消去時の閾値電圧の変化を示す図である。

【符号の説明】

- 1…メモリセルアレイ
- 2…共通ソース線
- 3…消去電源切り換え回路
- 4…第1消去電源
- 5…第2消去電源
- 6…切り換え制御回路
- 7…カウンタ回路
- 8…クロック信号発生回路
- 9…レファレンス部読み出し回路
- 10…レファレンスセル部

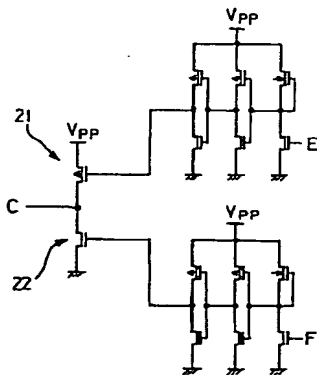
【図1】

本発明の原理を説明する図



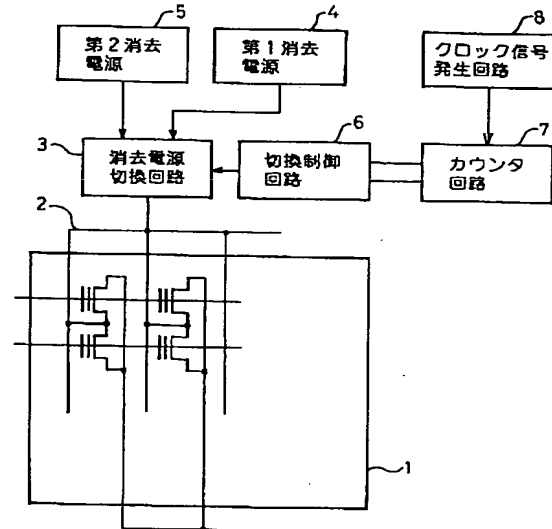
【図3】

消去電源回路



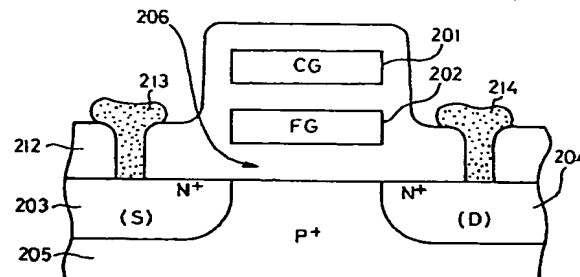
【図2】

本発明の第1実施例の構成



【図7】

トランジスタセルの構造図

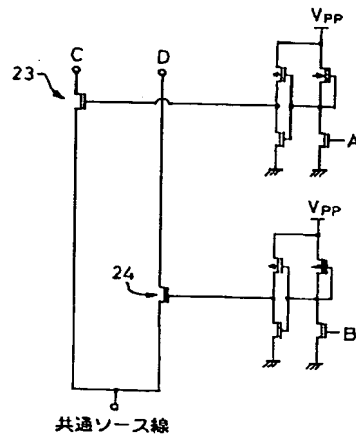


(7)

特開平 7-169287

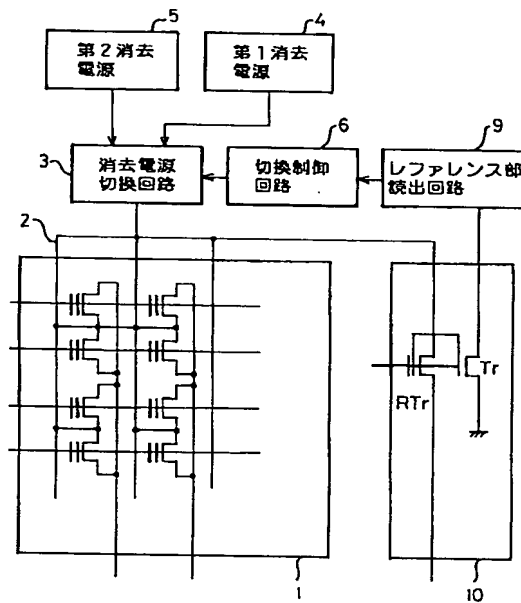
【図4】

消去電源切換回路



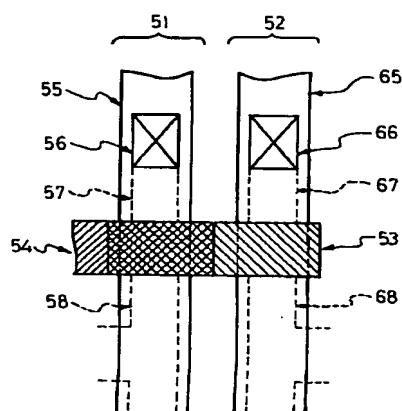
【図5】

第3実施例の構成



【図6】

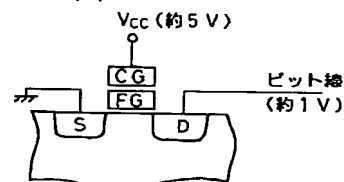
レファレンスセル部の平面図



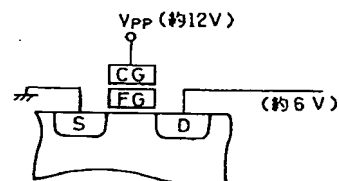
【図8】

フラッシュメモリの読出、書込及び消去の方法説明図

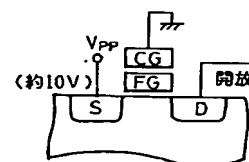
(1) 読出時



(2) 書込時



(3) 消去時

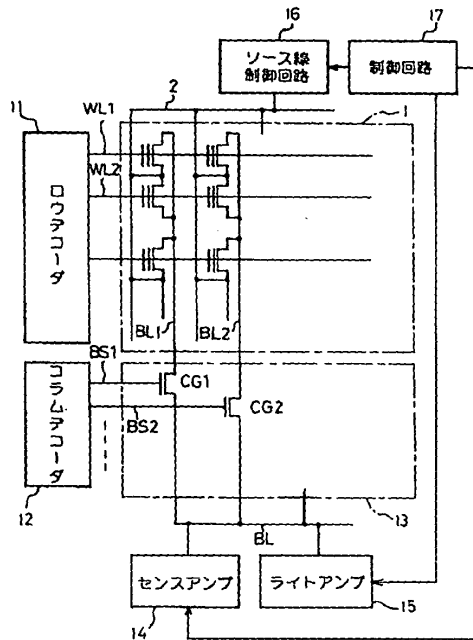


(8)

特開平 7-169287

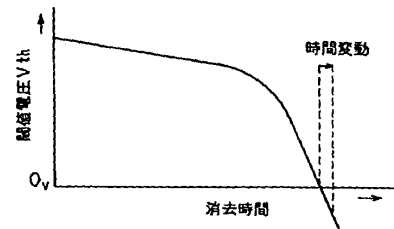
【図9】

従来のフラッシュメモリの全体構成



【図10】

従来におけるしきい値電圧の変化



フロントページの続き

(51)Int.Cl.6

H01L 29/792

識別記号

庁内整理番号

F I

技術表示箇所